

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月15日  
Date of Application:

出願番号 特願2002-300956  
Application Number:  
[ST. 10/C]: [JP 2002-300956]

出願人 シャープ株式会社  
Applicant(s):

2003年 8月 1日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3061819

【書類名】 特許願

【整理番号】 02J03462

【提出日】 平成14年10月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/04  
H01L 27/00  
H01L 21/08

【発明の名称】 半導体装置、半導体モジュール、半導体装置の製造方法  
、及び、半導体モジュールの製造方法

【請求項の数】 22

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株  
式会社内

【氏名】 小原 良和

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代表者】 町田 勝彦

【代理人】

【識別番号】 100078868

【弁理士】

【氏名又は名称】 河野 登夫

【電話番号】 06-6944-4141

【選任した代理人】

【識別番号】 100114557

【弁理士】

【氏名又は名称】 河野 英仁

【電話番号】 06-6944-4141

【手数料の表示】

【予納台帳番号】 001889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体モジュール、半導体装置の製造方法、及び、半導体モジュールの製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板の表面に、半導体素子が形成された素子形成領域、及び、半導体素子が形成されない素子非形成領域を有する半導体装置において、前記シリコン基板の裏面の、前記素子非形成領域に対応する部分に溝が設けられていることを特徴とする半導体装置。

【請求項 2】 前記溝は複数であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記溝は互いに平行に設けられていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記溝は互いに交わる方向に延びるように設けられていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】 前記溝は、互いにほぼ垂直に交わる方向に延びるように設けられていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記溝は、異なる 3 方向に延びるように設けられていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】 前記溝の幅は、該溝の底部から開口部にかけてほぼ均一に形成されていることを特徴とする請求項 1 乃至 6 の何れかに記載の半導体装置。

【請求項 8】 前記溝の幅は、該溝の底部よりも開口部の方が広く形成されていることを特徴とする請求項 1 乃至 6 の何れかに記載の半導体装置。

【請求項 9】 前記溝の底部は曲面に形成されていることを特徴とする請求項 1 乃至 8 の何れかに記載の半導体装置。

【請求項 10】 前記溝には、前記シリコン基板よりも柔軟な材料が充填されていることを特徴とする請求項 1 乃至 9 の何れかに記載の半導体装置。

【請求項 11】 前記シリコン基板の裏面は、該シリコン基板よりも柔軟な材料により被覆されていることを特徴とする請求項 1 乃至 9 の何れかに記載の半導体装置。

【請求項 1 2】 前記素子形成領域は複数であり、前記素子非形成領域は、互いに離隔して形成された前記素子形成領域同士に挟まれる領域であることを特徴とする請求項 1 乃至 1 1 の何れかに記載の半導体装置。

【請求項 1 3】 請求項 1 乃至 1 2 の何れかに記載の半導体装置を実装基板に実装してあることを特徴とする半導体モジュール。

【請求項 1 4】 前記実装基板は湾曲していることを特徴とする請求項 1 3 に記載の半導体モジュール。

【請求項 1 5】 前記実装基板は湾曲することが可能に形成されていることを特徴とする請求項 1 3 に記載の半導体モジュール。

【請求項 1 6】 シリコン基板の表面の所定領域に半導体素子を形成し、前記シリコン基板の裏面の、半導体素子が形成されていない領域に対応する部分に溝を形成すべく、研削することを特徴とする半導体装置の製造方法。

【請求項 1 7】 シリコン基板の表面の所定領域に半導体素子を形成し、前記シリコン基板の裏面の、半導体素子が形成されていない領域に対応する部分に溝を形成すべく、エッチングすることを特徴とする半導体装置の製造方法。

【請求項 1 8】 前記エッチングはドライエッチングであることを特徴とする請求項 1 7 に記載の半導体装置の製造方法。

【請求項 1 9】 前記エッチングはウエットエッチングであることを特徴とする請求項 1 7 に記載の半導体装置の製造方法。

【請求項 2 0】 請求項 1 6 乃至 1 9 の何れかに記載の製造方法により製造された半導体装置を、該半導体装置を保持するための平坦な保持面を有する保持具で保持し、平坦な実装基板に実装することを特徴とする半導体モジュールの製造方法。

【請求項 2 1】 請求項 1 6 乃至 1 9 の何れかに記載の製造方法により製造された半導体装置を、該半導体装置を保持するための湾曲した保持面を有する保持具で保持し、湾曲した実装基板に実装することを特徴とする半導体モジュールの製造方法。

【請求項 2 2】 前記保持具の保持面は、前記実装基板の実装面の湾曲形状に対応する形状としてあることを特徴とする請求項 2 1 に記載の半導体モジュール

ルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フレキシブルな半導体装置、該半導体装置が実装基板に実装された半導体モジュール、前記半導体装置の製造方法、及び、前記半導体モジュールの製造方法に関する。

【0002】

【従来の技術】

携帯電話機を始めとした携帯型機器の小型化・軽量化・高性能化の需要が大きくなり、これに伴って半導体装置の小型薄型化とプリント配線基板への高密度実装化とが追求されてきた。半導体装置の小型化と共に求められる高機能化による端子数の増加は、対応するパッケージをQFP（Quad Flat Package）からBGA（Ball Grid Array）、CSP（Chip Size Package）等のエリアアレイ型へ変更することによって実現されてきた。また、近年ではさらに進んで各種ウェアラブル機器の提案が活発に行われており、半導体装置の小型化と共にフレキシブル性が求められている。このようなウェアラブル機器の市場はますます大きく発展すると考えられている。

【0003】

図13、図14及び図15はそれぞれ、（a）従来の半導体装置の側面図、及び（b）従来の半導体装置を実装基板に実装してある半導体モジュールの側面図である。

図13（a）は従来の半導体装置としてのQFPを示す。このQFPにおいて、半導体チップ（図示せず）は樹脂等の封止材料73により封止されており、その半導体チップとAuワイヤ（図示せず）等によって電氣的に接続された外部接続端子74が封止材料73の外部に突出している。このようなQFPは、図13（b）に示すように、外部接続端子74と実装基板75上に設けられた電極（図示せず）とが対向するように位置合わせされた状態で、はんだペースト等を用いて実装基板75に実装される（例えば、特許文献1参照。）。

**【0004】**

図14(a)は従来の半導体装置としてのCSPを示す。このCSPにおいて、半導体チップ(図示せず)が封止されている封止材料76は配線基板77に搭載され、前記半導体チップ及び配線基板77を介して電氣的に接続された外部接続端子78が配線基板77の外部に突出している。このようなCSPは、図14(b)に示すように、外部接続端子78と実装基板79上に設けられた電極(図示せず)とが対向するように位置合わせされた状態で、実装基板79に実装される(例えば、特許文献2参照。)

図15(a)は、従来の半導体装置としての、外部接続端子81を備える半導体チップ(ベアチップ)80を示す。半導体チップ80と電氣的に接続された外部接続端子81は外部に突出している。このような外部接続端子81を備える半導体チップ80は、図15(b)に示すように、外部接続端子81と実装基板82上に設けられた電極(図示せず)とが対向するように位置合わせされた状態で、実装基板82に実装される(例えば、特許文献3参照。)

**【0005】****【特許文献1】**

特開平5-251616号公報

**【特許文献2】**

特開平11-204720号公報

**【特許文献3】**

特開平11-307586号公報

**【0006】****【発明が解決しようとする課題】**

しかしながら、上述した半導体装置はフレキシビリティがなく、機器のウェアラブル化には向かない。

図16は従来の半導体装置のうち、耐曲げ強度が大きい半導体装置を実装基板に実装してある半導体モジュールにおいて、実装基板に対して曲げストレスを加えた状態の一例を示す。図16(a)においては、QFP83を実装基板84に実装した後に加えた曲げストレスにより実装基板84が曲がった為に、外部接続



端子 85 に大きな外部応力が加わっている。図 16 (b) においても、CSP 86 を実装基板 87 に実装した後に加えた曲げストレスにより実装基板 87 が曲がった為に、外部接続端子 88 に大きな外部応力が加わっている。図 16 (c) においても、外部接続端子 91 を備える半導体チップ（ベアチップ）89 を実装基板 90 に実装した後に加えた曲げストレスにより実装基板 90 が曲がった為に、外部接続端子 91 に大きな外部応力が加わっている。このように、耐曲げ強度が大きい半導体装置を実装基板に実装後、曲げストレスを加えることにより、外部接続端子部分に大きな外部応力が加わることにより、半導体装置が破損する可能性がある。


#### 【0007】

また、図 17 は従来の半導体装置のうち、耐曲げ強度が小さい半導体装置を実装基板に実装してある半導体モジュールにおいて、実装基板に対して曲げストレスを加えた状態の一例を示す。図 17 (a) においては、QFP 92 を実装基板 93 に実装した後に加えた曲げストレスにより実装基板 93 が曲がった為に、外部接続端子 94 を含む QFP 92 全体に大きな外部応力が加わっている。図 17 (b) においても、CSP 95 を実装基板 96 に実装した後に加えた曲げストレスにより、実装基板 96 が曲がった為に、外部接続端子 97 を含む CSP 95 全体に大きな外部応力が加わっている。図 17 (c) においても、外部接続端子 100 を備える半導体チップ（ベアチップ）98 を実装基板 99 に実装した後に加えた曲げストレスにより実装基板 99 が曲がった為に、外部接続端子 100 及び半導体チップ 98 に大きな外部応力が加わっている。このように、耐曲げ強度が小さい半導体装置を実装基板に実装後、曲げストレスを加えることにより、外部接続端子を含む半導体装置全体に大きな外部応力が加わることにより、半導体装置が破損する可能性がある。

#### 【0008】

本発明は斯かる事情に鑑みてなされたものであって、その目的とするところは、その裏面に溝が設けられていることにより、実装される実装基板に曲げストレスが加えられた場合であってもその形状をフレキシブルに対応させることが可能な半導体装置、該半導体装置を実装基板に実装してある半導体モジュール、前記





半導体装置の製造方法、及び、前記半導体モジュールの製造方法を提供することにある。

**【 0 0 0 9 】****【課題を解決するための手段】**

本発明に係る半導体装置は、シリコン基板の表面に、半導体素子が形成された素子形成領域、及び、半導体素子が形成されない素子非形成領域を有する半導体装置において、前記シリコン基板の裏面の、前記素子非形成領域に対応する部分に溝が設けられていることを特徴とする。

**【 0 0 1 0 】**

本発明においては、シリコン基板の裏面に溝が設けられていることにより、半導体装置に対して曲げストレスが加えられた場合に、溝が設けられている部分が曲げストレスに応じて湾曲するフレキシブルな領域として機能することができる。また、溝は、シリコン基板の裏面の、素子非形成領域に対応する部分に設けられているために、素子形成領域に対応する部分はほとんど湾曲しないので、半導体素子が破損するのを防止することができる。よって、この半導体装置は、実装される実装基板に対して曲げストレスが加えられた場合であっても、曲げストレスに対してフレキシブルに対応することができ、破損するのを防止することができる。

**【 0 0 1 1 】**

また、本発明に係る半導体装置は、前記溝は複数であることを特徴とする。

**【 0 0 1 2 】**

本発明においては、シリコン基板の裏面に複数の溝が設けられていることにより、半導体装置に対して曲げストレスが加えられた場合に、複数の溝が設けられている部分が曲げストレスに応じて湾曲するフレキシブルな領域として機能することができる。また、溝同士に挟まれる部分により、半導体装置の厚さ方向の強度を維持することができる。

**【 0 0 1 3 】**

また、本発明に係る半導体装置は、前記溝は互いに平行に設けられていることを特徴とする。

**【0014】**

本発明においては、シリコン基板の裏面に互いに平行な溝が設けられていることにより、半導体装置は、溝に対して垂直な方向について湾曲するフレキシブル性を有する。

**【0015】**

また、本発明に係る半導体装置は、前記溝は互いに交わる方向に延びるように設けられていることを特徴とする。

**【0016】**

本発明においては、シリコン基板の裏面に互いに交わる方向に延びる溝が設けられていることにより、半導体装置は、各溝に対して垂直な方向について湾曲することができるため、さらなるフレキシブル性を有する。

**【0017】**

また、本発明に係る半導体装置は、前記溝は、互いにほぼ垂直に交わる方向に延びるように設けられていることを特徴とする。

**【0018】**

本発明においては、シリコン基板の裏面に、溝が互いにほぼ垂直に交わる方向に延びるように設けられていることにより、半導体装置は、溝に対応するほぼ垂直に交わる二方向について湾曲することができる。

**【0019】**

また、本発明に係る半導体装置は、前記溝は、異なる3方向に延びるように設けられていることを特徴とする。

**【0020】**

本発明においては、シリコン基板の裏面に、溝が異なる3方向に延びるように設けられていることにより、半導体装置は、各溝に対して垂直な方向、すなわち、ほぼあらゆる方向について湾曲することができる。

**【0021】**

また、本発明に係る半導体装置は、前記溝の幅は、該溝の底部から開口部にかけてほぼ均一に形成されていることを特徴とする。

**【0022】**

本発明においては、シリコン基板の裏面に、その底部から開口部にかけての幅がほぼ均一な溝が設けられていることにより、溝近傍において強度が部分的に弱い箇所がないため、半導体装置が湾曲した場合であっても破損し難い。また、このような溝を形成するのは容易である。

#### 【0023】

また、本発明に係る半導体装置は、前記溝の幅は、該溝の底部よりも開口部の方が広く形成されていることを特徴とする。

#### 【0024】

本発明においては、シリコン基板の裏面に、その底部よりも開口部の方が幅が広い溝が設けられていることにより、半導体装置が湾曲した場合の溝部分の曲がる度合いの規制が、幅が均一な溝が設けられている場合に比べて小さいので、半導体装置がより大きく湾曲することができる。

#### 【0025】

また、本発明に係る半導体装置は、前記溝の底部は曲面に形成されていることを特徴とする。

#### 【0026】

本発明においては、シリコン基板の裏面に、その底部が曲面に形成されている溝が設けられていることにより、溝の底部に応力的に弱い角部を有する場合とは異なり、溝の底部に応力的に特に弱い部分がないので、半導体装置が湾曲した場合に、溝部分において応力が集中してクラックが発生するのを減少させることができる。

#### 【0027】

また、本発明に係る半導体装置は、前記溝には、前記シリコン基板よりも柔軟な材料が充填されていることを特徴とする。

#### 【0028】

本発明においては、シリコン基板の裏面に、シリコン基板よりも柔軟な材料が充填されている溝が設けられていることにより、半導体装置が湾曲した場合に、溝の開口部の縁である角部同士が直に接触することがないので、接触した場合に発生しうる半導体装置の破損を防止することができる。

**【0029】**

また、本発明に係る半導体装置は、前記シリコン基板の裏面は、該シリコン基板よりも柔軟な材料により被覆されていることを特徴とする。

**【0030】**

本発明においては、シリコン基板の裏面に溝が設けられており、さらにシリコン基板の裏面がシリコン基板よりも柔軟な材料によって被覆されていることにより、半導体装置が湾曲した場合に、溝の開口部の縁である角部同士が直に接触することがないので、接触した場合に発生しうる半導体装置の破損を防止することができる。

**【0031】**

さらに、本発明に係る半導体装置は、前記素子形成領域は複数であり、前記素子非形成領域は、互いに離隔して形成された前記素子形成領域同士に挟まれる領域であることを特徴とする。

**【0032】**

本発明においては、シリコン基板の裏面の、互いに離隔して形成された複数の素子形成領域同士に挟まれる領域に対応する部分に設けられているために、半導体装置が湾曲する場合に、各素子形成領域に対応する部分はほとんど湾曲せず、溝が設けられている部分が湾曲することにより、半導体素子を破損することなく曲げストレスに対してフレキシブルに対応することができる。

**【0033】**

本発明に係る半導体モジュールは、前記発明の何れかに記載の半導体装置を実装基板に実装してあることを特徴とする。

**【0034】**

本発明においては、シリコン基板の裏面に溝が設けられている半導体装置を実装基板に実装してあることにより、半導体装置を、実装基板の形状に対応した形状に湾曲させることができる。

**【0035】**

また、本発明に係る半導体モジュールは、前記実装基板は湾曲していることを特徴とする。

**【0036】**

本発明においては、シリコン基板の裏面に溝が設けられている半導体装置を、湾曲している実装基板に実装してあることにより、半導体装置は実装基板の湾曲形状に対応した形状に湾曲されているため、半導体モジュール全体としては湾曲した形状となっているので、この半導体モジュールは湾曲した箇所に配置させることができる。

**【0037】**

さらに、本発明に係る半導体モジュールは、前記実装基板は湾曲することが可能に形成されていることを特徴とする。

**【0038】**

本発明においては、シリコン基板の裏面に溝が設けられている半導体装置を、湾曲することが可能な実装基板に実装してあることにより、半導体モジュールが湾曲した箇所に配置される場合、また、湾曲する可能性がある箇所に配置される場合に、その湾曲形状に対応して実装基板及び半導体装置の両方が湾曲することができる。よって、この半導体モジュールは、様々な形状の箇所に配置させることができ、非常に有用である。

**【0039】**

本発明に係る半導体装置の製造方法は、シリコン基板の表面の所定領域に半導体素子を形成し、前記シリコン基板の裏面の、半導体素子が形成されていない領域に対応する部分に溝を形成すべく、研削することを特徴とする。

**【0040】**

本発明においては、研削によって溝を形成することにより、ウエハを個々の半導体装置に分割する際の一般的な方法を用いて溝形成を行うことができる。また、研削の際に用いるダイシングブレードの端部の形状を選択することによって、形成する溝の底部を所望の形状にすることが可能である。さらに、溝形成用パターンを設ける必要がなく、製造工程が簡単である。

**【0041】**

また、本発明に係る半導体装置の製造方法は、シリコン基板の表面の所定領域に半導体素子を形成し、前記シリコン基板の裏面の、半導体素子が形成されてい

ない領域に対応する部分に溝を形成すべく、エッチングすることを特徴とする。

【0042】

本発明においては、エッチングによって溝を形成することにより、溝形成用のパターンを用いて、シリコン基板の裏面を選択的に削除することができる。また、半導体装置に機械的な損傷を与えることがない。さらに、ドライエッチング、ウエットエッチングの何れであってもよく、製造プロセスに応じて適切な方を選択して溝を形成することができる。

【0043】

また、本発明に係る半導体装置の製造方法は、前記エッチングはドライエッチングであることを特徴とする。

【0044】

本発明においては、ドライエッチングによって溝を形成することにより、用いる溝形成用パターンにほぼ忠実な、その底部から開口部にかけての幅がほぼ均一な溝を形成することができる。

【0045】

さらに、本発明に係る半導体装置の製造方法は、前記エッチングはウエットエッチングであることを特徴とする。

【0046】

本発明においては、ウエットエッチングによって溝を形成することにより、その底部よりも開口部の幅が広い溝を形成することができる。また、その底部が角部を有さない曲面状の溝を形成することも可能である。

【0047】

本発明に係る半導体モジュールの製造方法は、前記発明の何れかに記載の製造方法により製造された半導体装置を、該半導体装置を保持するための平坦な保持面を有する保持具で保持し、平坦な実装基板に実装することを特徴とする。

【0048】

本発明においては、シリコン基板の裏面に溝が形成された半導体装置を平坦な保持面を有する保持具で保持しつつ、平坦な実装基板に実装することにより、半導体装置を湾曲させることなく保持面に対応した平坦な形状に保持することで、

平坦な実装基板に沿うように実装させることができる。

#### 【0049】

また、本発明に係る半導体モジュールの製造方法は、前記発明の何れかに記載の製造方法により製造された半導体装置を、該半導体装置を保持するための湾曲した保持面を有する保持具で保持し、湾曲した実装基板に実装することを特徴とする。

#### 【0050】

本発明においては、シリコン基板の裏面に溝が形成された半導体装置を湾曲した保持面を有する保持具で保持しつつ、湾曲した実装基板に実装することにより、半導体装置を保持面に対応した湾曲形状に保持することで、湾曲した実装基板に沿うように実装させることができる。

#### 【0051】

さらに、本発明に係る半導体モジュールの製造方法は、前記保持具の保持面は、前記実装基板の実装面の湾曲形状に対応する形状としてあることを特徴とする。

#### 【0052】

本発明においては、シリコン基板の裏面に溝が形成された半導体装置を、実装させる実装基板の実装面の湾曲形状に対応する形状に湾曲した保持面を有する保持具で保持しつつ、実装基板に実装する。これにより、半導体装置を実装面に対応した湾曲形状に保持することで、湾曲した実装基板に、一段と沿うように実装させることができる。

#### 【0053】

#### 【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて説明する。

#### 実施の形態 1

図1は、本発明の実施の形態1に係る半導体装置としての半導体チップの断面図である。

まず、図1(a)に示すように、シリコン基板1の表面に設けられた半導体素子を形成するための素子形成層2の素子形成領域3に、一般的な方法で半導体素

子（図示せず）を形成する。その後、図 1（b）に示すように、シリコン基板 1 の裏面における、素子形成層 2 の半導体素子が形成されない領域（以下、素子非形成領域という）に対応する部分に、例えばダイシングソーを用いた研削法、又はエッチング法により、シリコン基板 1 の厚さの範囲内で溝 4 を形成する。エッチング法はドライエッチング法、ウェットエッチング法の何れであってもよい。

#### 【0054】

このようにして形成された半導体チップ T 1 において、素子形成領域 3 に形成された半導体素子に影響のない位置に薄膜部 5 が形成されることで、図 1（c）に示すように、曲げストレスが加えられた場合に薄膜部 5 はフレキシブル領域として機能することができ、半導体チップ T 1 全体としてフレキシブルとなる。

#### 【0055】

### 実施の形態 2

図 2 は、本発明の実施の形態 2 に係る半導体装置としての半導体チップの断面図である。

実施の形態 1 においては、図 1 に示すように、シリコン基板 1 の裏面に溝 4 が 1 個設けられていたが、実施の形態 2 においては、シリコン基板の裏面に複数の溝が設けられるものとする。

#### 【0056】

すなわち、図 2（a）に示すように、半導体素子（図示せず）が形成された素子形成領域 8 を有する素子形成層 7 が表面に設けられたシリコン基板 6 の裏面における、素子形成層 7 の素子非形成領域に対応する部分に、複数の（図 2 中においては 5 個）の溝 9、9…を、実施の形態 1 と同様にして形成する。

このようにして形成された半導体チップ T 2 において、素子形成領域 8 に形成された半導体素子に影響のない位置に、複数の溝 9、9…を含む薄膜部 10 が設けられていることにより、図 2（b）に示すように、曲げストレスが加えられた場合に薄膜部 10 はフレキシブル領域として機能することができる。

また、溝 9、9…を含む薄膜部 10 においては、溝 9、9…が形成されることにより、溝 9 同士に挟まれる部分が、溝 9 の深さをその高さとする支柱 11、11…となり、実施の形態 1 の半導体チップ T 1 に比べて、半導体チップ T 2 は、



厚さ方向の強度が大きい。

#### 【0057】

図3は、半導体チップの下面図である。シリコン基板12の、ほぼ矩形である裏面の一边に平行な方向をX方向とし、前記一片にほぼ垂直な辺に平行な方向をY方向とする。図2に示した半導体チップT2と同様に、シリコン基板12の裏面に、複数個（図3中においては2個）の溝14、14を、互いに平行に、Y方向に延びるように形成する。このように形成された半導体チップT3は、溝14、14に対して垂直なX方向について湾曲することが可能である。

なお、シリコン基板12の表面に設けられる素子形成層（図示せず）の素子形成領域13の一边と溝14、14とは、図3に示すように平行であってもよいし、また、平行でなくてもよい。

#### 【0058】

##### 実施の形態3

図4は、本発明の実施の形態3に係る半導体装置としての半導体チップの下面図である。

実施の形態2においては、例えば図3に示すように、シリコン基板12の裏面に、複数個の溝14、14が互いに平行に設けられていたが、実施の形態3においては、シリコン基板の裏面に、複数個の溝が互いに交わる方向に延びるように設けられるものとする。

#### 【0059】

図4に示すように、シリコン基板15の、ほぼ矩形である裏面の一边に平行な方向をX方向とし、前記一边とほぼ垂直な辺に平行な方向をY方向とする。半導体素子（図示せず）が形成された素子形成領域16を有する素子形成層（図示せず）が表面に設けられたシリコン基板15の裏面における、前記素子形成層の素子非形成領域に対応する部分に、複数個（図4中においては2個）の溝17a、17aをほぼX方向に延びるように形成し、複数個（図4中においては2個）の溝17b、17bをほぼY方向に延びるように形成する。この結果、シリコン基板15の裏面の、4個の溝17a、17a、17b、17bによって囲まれて凸状に形成される部分は四角形となる。

**【0060】**

このように、溝17a、17aと溝17b、17bとがほぼ垂直に交わるように形成された半導体チップT4は、溝17a、17aに垂直なY方向についても、溝17b、17bに垂直なX方向についても湾曲することができるので、曲げストレスに対してフレキシブルに対応することができる。

なお、素子形成領域16の一辺と、溝17a又は溝17bとは図4に示すように平行であってもよく、また、平行でなくてもよい。

**【0061】****実施の形態4**

図5は、本発明の実施の形態4に係る半導体装置としての半導体チップの下面図である。

実施の形態3においては、図4に示すように、シリコン基板15の裏面に、互いにほぼ垂直に交わる溝17a、17aと溝17b、17bとが設けられていたが、実施の形態4においては、複数の溝が異なる3方向に延びるように設けられるものとする。

**【0062】**

すなわち、図5に示すように、半導体素子（図示せず）が形成された素子形成領域19を有する素子形成層（図示せず）が表面に設けられたシリコン基板18の裏面における、前記素子形成層の素子非形成領域に対応する部分に、溝20a、20aを互いに平行に形成し、溝20b、20bを溝20aに対して約60度傾いた方向に延びるように形成する。さらに、溝20c、20cを溝20aに対して約120度（すなわち、溝20bに対して約60度）傾いた方向に延びるように形成する。この結果、シリコン基板18の裏面の、3個の溝20a、20b、20cによって囲まれて凸状に形成される部分はそれぞれ三角形となる。

**【0063】**

このように、溝20a、20a、溝20b、20b、溝20c、20cがそれぞれ異なる3方向に延びるように形成された半導体チップT5は、各溝に対して垂直な方向について湾曲することができる。すなわち、半導体チップT5は、ほぼあらゆる方向について湾曲することができるので、様々な方向の曲げストレス

に対してフレキシブルに対応することができる。

なお、素子形成領域 19 の一辺と、溝 20 a、20 a、溝 20 b、20 b、溝 20 c、20 c のうちの 1 方向に延びる溝とは、図 5 に示すように平行であってもよく、また、平行でなくてもよい。

さらに、本実施の形態においては、溝 20 a、20 a、溝 20 b、20 b、溝 20 c、20 c をそれぞれ 2 個としたが、1 個又は 3 個以上であってもよい。

#### 【0064】

##### 実施の形態 5

図 6 は、本発明の実施の形態 5 に係る半導体装置としての半導体チップの断面図である。

実施の形態 1 から 4 においては、例えば図 2 に示すように、シリコン基板 6 の裏面に、その底部から開口部にかけての幅がほぼ均一である溝 9、9…が設けられていた。この場合には、溝の幅がほぼ一定であるために強度が部分的に弱い箇所がなく、ストレスに対して強い。また、溝 9、9…を形成するための治工具が単純であり、また、形成プロセスが簡単である。これに対して、実施の形態 5 においては、その底部よりも開口部の方が幅が広い溝が設けられるものとする。

#### 【0065】

すなわち、図 6 (a) に示すように、半導体素子（図示せず）が形成された素子形成領域 28 を有する素子形成層 27 が表面に設けられたシリコン基板 26 の裏面における、素子形成層 27 の素子非形成領域に対応する部分に、溝 29、29…の幅が、底部が狭く開口部にかけて広くなるように形成する。上述した溝 29、29…が形成された半導体チップ T6 は、溝 29、29…が形成されることにより、溝 29 同士に挟まれる部分が、半導体チップ T6 の厚さ方向の強度を維持するための支柱 30、30…となる。

#### 【0066】

図 6 (b) は、溝 29、29…が形成された半導体チップ T6 が、曲げストレスを加えられることにより湾曲した状態を示す。支柱 30、30…の幅は、溝 29、29…の形状に対応して、シリコン基板 26 の表面側から裏面に向かって細くなっている。このため、図 2 (b) に示した、溝 9、9…の底部から開口部ま

での幅がほぼ均一になっている半導体チップT2に比べて、溝29、29…部分の曲がる度合いの規制が小さくなる為に、半導体チップT6をより大きく湾曲させることができる。

#### 【0067】

##### 実施の形態6

図7は、本発明の実施の形態6に係る半導体装置としての半導体チップの断面図である。

実施の形態1から5においては、例えば図2に示すように、シリコン基板6の裏面に、その底部に角部を有する形状の溝9、9…が設けられていた。この場合には、半導体チップT2を湾曲させたときに、前記角部に応力が集中することによって、角部近傍からクラックと呼ばれる亀裂が生じる恐れがある。これに対して、実施の形態6においては、その底部に角部を有さない形状の溝が設けられるものとする。

#### 【0068】

すなわち、図7に示すように、半導体素子（図示せず）が形成された素子形成領域34を有する素子形成層33が表面に設けられたシリコン基板32の裏面における、素子形成層33の素子非形成領域に対応する部分に、溝35、35…を、その底部が角を有さない湾曲部38、38…となるように形成する。

これにより、その底部が湾曲部38、38…である溝35、35…が形成された半導体チップT7において、底部である湾曲部38、38…近傍に応力的に特に弱い部分がないために、半導体チップT7に曲げストレスが加えられた場合に、溝35、35…部分にクラックが発生するのを減少させることができる。

なお、本実施の形態においては、複数の溝35、35…が設けられている形態としたが、1個の溝が設けられる形態であってもよい。

また、その底部から開口部にかけての幅ほぼ均一である溝35、35…が設けられている形態としたが、その底部よりも開口部の方が幅が広い溝が設けられる形態であってもよい。

#### 【0069】

##### 実施の形態7

図 8 は、本発明の実施の形態 7 に係る半導体装置としての半導体チップの断面図である。

実施の形態 1 から 6 においては、例えば図 2 に示すように、シリコン基板 6 の裏面に、その内部が空洞である溝 9、9…が設けられていたが、実施の形態 7 においては、充填材料が充填された溝が設けられるものとする。

#### 【0070】

すなわち、図 8 (a) に示すように、半導体素子 (図示せず) が形成された素子形成領域 42 を有する素子形成層 41 が表面に設けられたシリコン基板 40 の裏面における、素子形成層 41 の素子非形成領域に対応する部分に、溝 43、43…を形成する。そして、形成された溝 43、43…に、例えばゴムのような弾性材料等の、シリコン基板 40 よりも柔軟な充填材料 44、44…を充填する。

図 8 (b) は、溝 43、43…に充填材料 44、44…が充填された半導体チップ T8 が、曲げストレスを加えられることにより湾曲した状態を示す。充填材料 44、44…はシリコン基板 40 よりも柔軟であるため、溝 43、43…が形成された領域において湾曲することができる。また、溝 43、43…には充填材料 44、44…が充填されているため、溝 43、43…の開口部の縁である角部 45、45…同士が直に接触するのを避けることができ、これにより、接触した場合に半導体チップ T8 が破損するのを防止することができる。

#### 【0071】

##### 実施の形態 8

図 9 は、本発明の実施の形態 8 に係る半導体装置としての半導体チップの断面図である。

実施の形態 7 においては、図 8 に示すように、シリコン基板 40 の裏面に、充填材料 44、44…が充填された溝 43、43…が設けられていたが、実施の形態 8 においては、シリコン基板の裏面に溝が設けられており、さらにシリコン基板の裏面が被覆材料によって被覆されるものとする。

#### 【0072】

すなわち、図 9 (a) に示すように、半導体素子 (図示せず) が形成された素子形成領域 49 を有する素子形成層 48 が表面に設けられたシリコン基板 47 の

裏面における、素子形成層 48 の素子非形成領域に対応する部分に、溝 50、50…を形成する。そして、溝 50、50…が形成されたシリコン基板 47 の裏面を、例えばゴムのような弾性材料等の、シリコン基板 47 よりも柔軟な被覆材料 51 によって被覆する。

図 9 (b) は、溝 50、50…が形成されているシリコン基板 47 の裏面が被覆材料 51 により被覆された半導体チップ T9 が、曲げストレスを加えられることにより湾曲した状態を示す。被覆材料 51 はシリコン基板 47 よりも柔軟であるため、半導体チップ T9 は湾曲することができる。また、溝 50、50…の開口部が被覆材料 51 によって被覆されているため、溝 50、50…の開口部の縁である角部 52、52…同士が直に接触するのを避けることができ、これにより、接触することによって半導体チップ T9 が破損するのを防止することができる。

### 【0073】

#### 実施の形態 9

図 10 は、本発明の実施の形態 9 に係る半導体装置としての半導体チップの下面図である。

実施の形態 1 から 8 においては、例えば図 4 に示すように、素子形成層（図示せず）に 1 個の素子形成領域 16 が形成されている場合に、シリコン基板 15 の裏面における、前記素子形成層の素子非形成領域に対応する部分に溝 17a、17a、17b、17b が設けられていたが、実施の形態 9 においては、素子形成層に複数個の素子形成領域が形成されている場合に、シリコン基板の裏面に溝が設けられるものとする。

### 【0074】

すなわち、図 10 に示すように、半導体素子（図示せず）が形成された素子形成領域 54、54…が互いに離隔して形成された素子形成層（図示せず）が表面に設けられたシリコン基板 53 の裏面における、前記素子形成層の素子非形成領域としての、素子形成領域 54 同士に挟まれる領域に対応する部分に、図 4 と同様の溝 55a、55a、55b、55b を形成する。

これにより、このような溝 55a、55a、55b、55b が形成された半導

体チップT10においては、曲げストレスが加えられた場合に、シリコン基板53の、素子形成領域54、54…に対応する部分をほとんど湾曲させず、溝55a、55aが設けられている部分、及び、溝55b、55bが設けられている部分をフレキシブル領域として湾曲させることができる。

#### 【0075】

実施の形態10

図11は、本発明に係る半導体装置としての半導体チップを実装基板に実装してある半導体モジュールの断面図である。

図11(a)に示すように、半導体素子(図示せず)が形成された素子形成領域59を有する素子形成層58が表面に設けられたシリコン基板57の裏面における、素子形成層58の素子非形成領域に対応する部分に、複数の溝60、60…が形成されることによってフレキシブルとなっている半導体チップT11が、実装基板61に接着材料62等を用いて実装されている。

#### 【0076】

上述したようにして形成された半導体モジュールMにおいて、実装基板61がポリイミド等のフレキシブルな基板である場合、実装基板61に対して曲げストレス等の外力が加えることにより、図11(b)に示すように、実装基板61が湾曲するのに従って半導体チップT11も湾曲する。このように、半導体モジュールM全体としてフレキシブルに湾曲することができる。

なお、実装基板61がガラスエポキシ等のリジッドな基板であるが、湾曲している場合であっても、その湾曲形状に対応して半導体チップT11も湾曲することができるため、半導体モジュール全体としては、図11(b)に示すような湾曲した形状となる。

#### 【0077】

図12は本発明に係る半導体モジュールの製造方法を示す模式図である。図12においては、半導体素子(図示せず)が形成された素子形成領域66を有する素子形成層65が表面に設けられたシリコン基板64の裏面における、素子形成層65の素子非形成領域に対応する部分に、複数の溝67、67…が形成されたフレキシブルな半導体チップT12を、実装基板68に実装する方法を示してい

る。

図12(a)に示すように、平坦な状態の実装基板68に半導体チップT12を実装する場合は、半導体チップT12を保持するための平坦な保持面70aを有する保持具70を用いて、半導体チップT12を平坦な状態で保持しつつ実装基板68に実装する。

#### 【0078】

また、図12(b)に示すように、湾曲した状態の実装基板68に半導体チップT12を実装する場合は、半導体チップT12を保持するための湾曲した保持面71aを有する保持具71を用いて、半導体チップT12を湾曲させた状態で保持しつつ、実装基板68に実装する。なお、保持具71の保持面71aの湾曲形状は、実装基板68の実装面の湾曲形状に対応する同様の形状であることが好ましく、この場合には、保持具71に保持される半導体チップT12の実装面の湾曲形状が、実装基板68の実装面の湾曲形状に対応した形状となるため、半導体チップT12を実装基板68の実装面に確実に沿うように実装することができる。

#### 【0079】

##### 【発明の効果】

本発明によれば、シリコン基板の裏面に溝が設けられていることにより、半導体装置に対して曲げストレスが加えられた場合に、溝が設けられている部分が曲げストレスに応じて湾曲するフレキシブルな領域として機能することができる。よって、この半導体装置は、実装される実装基板に対して曲げストレスが加えられた場合であっても、曲げストレスに対してフレキシブルに対応することができる。

#### 【0080】

また、本発明によれば、シリコン基板の裏面に互いに平行な溝が設けられていることにより、半導体装置は、溝に対して垂直な方向について湾曲するフレキシブル性を有する。

また、本発明によれば、シリコン基板の裏面に互いに交わる方向に延びる溝が設けられていることにより、半導体装置は、各溝に対して垂直な方向について湾



曲することができるため、さらなるフレキシブル性を有する。

#### 【0081】

また、本発明によれば、シリコン基板の裏面に、シリコン基板よりも柔軟な材料が充填されている溝が設けられていることにより、半導体装置が湾曲した場合に、溝の開口部の縁である角部同士が直に接触することがないので、接触した場合に発生しうる半導体装置の破損を防止することができる。

また、本発明によれば、シリコン基板の裏面に溝が設けられており、さらにシリコン基板の裏面がシリコン基板よりも柔軟な材料によって被覆されていることにより、半導体装置が湾曲した場合に、溝の開口部の縁である角部同士が直に接触することがないので、接触した場合に発生しうる半導体装置の破損を防止することができる。

#### 【0082】

また、本発明によれば、半導体モジュールにおいて、シリコン基板の裏面に溝が設けられている半導体装置を実装基板に実装してあることにより、半導体装置を、実装基板の形状に対応した形状に湾曲させることができる。また、この半導体装置を湾曲することが可能な実装基板に実装してあることにより、半導体モジュールが湾曲した箇所に配置される場合、また、湾曲する可能性がある箇所に配置される場合に、その湾曲形状に対応して実装基板及び半導体装置の両方が湾曲することができる。さらには、この半導体チップを積層させることも可能である。よって、この半導体モジュールは、様々な形状の箇所に配置させることができ、非常に有用である。

#### 【0083】

また、本発明によれば、研削によって溝を形成することにより、ウエハを個々の半導体チップに分割する際に用いる一般的な方法により溝を形成することができる。

また、本発明によれば、エッチングによって溝を形成することにより、半導体装置に機械的な損傷を与えることがない。ドライエッチング、ウエットエッチングの何れであってもよく、所望の溝の形状に応じたエッチング法を選択することができる。

**【0084】**

また、本発明によれば、シリコン基板の裏面に溝が形成された半導体装置を、実装させる実装面の形状に対応する形状の保持面を有する保持具で保持しつつ、平坦な実装基板に実装することにより、半導体装置を保持面に対応した形状に保持することで、実装基板に沿うように実装させることができる。

**【図面の簡単な説明】****【図1】**

本発明の実施の形態1に係る半導体チップの断面図である。

**【図2】**

本発明の実施の形態2に係る半導体チップの断面図である。

**【図3】**

本発明の実施の形態2に係る半導体チップの下面図である。

**【図4】**

本発明の実施の形態3に係る半導体チップの下面図である。

**【図5】**

本発明の実施の形態4に係る半導体チップの下面図である。

**【図6】**

本発明の実施の形態5に係る半導体チップの断面図である。

**【図7】**

本発明の実施の形態6に係る半導体チップの断面図である。

**【図8】**

本発明の実施の形態7に係る半導体チップの断面図である。

**【図9】**

本発明の実施の形態8に係る半導体チップの断面図である。

**【図10】**

本発明の実施の形態9に係る半導体チップの下面図である。

**【図11】**

本発明に係る半導体モジュールの断面図である。

**【図12】**

本発明に係る半導体モジュールの製造方法を示す模式図である。

【図 13】

(a) 従来の半導体装置の側面図及び (b) 従来の半導体装置が実装基板に実装されている半導体モジュールの側面図である。

【図 14】

(a) 従来の半導体装置の側面図及び (b) 従来の半導体装置が実装基板に実装されている半導体モジュールの側面図である。

【図 15】

(a) 従来の半導体装置の側面図及び (b) 従来の半導体装置が実装基板に実装されている半導体モジュールの側面図である。

【図 16】

従来の半導体モジュールにおいて、実装基板に曲げストレスを加えた状態を示す模式図である。

【図 17】

従来の半導体モジュールにおいて、実装基板に曲げストレスを加えた状態を示す模式図である。

【符号の説明】

1、6、12、15、18、26、32、40、47、53、57、64 シリコン基板

2、7、27、33、41、48、58、65 素子形成層

3、8、13、16、19、28、34、42、49、54、59、66 素子形成領域

4、9、14、17a、17b、20a、20b、20c、29、35、43、50、55a、55b、60、67 溝

5、10 薄膜部

11、30 支柱

45、52 角部

37 クラック

38 湾曲部

4 4 充填材料

5 1 被覆材料

6 1、6 8 実装基板

6 2 接着剤量

7 0、7 1 保持具

7 0 a、7 1 a 保持面

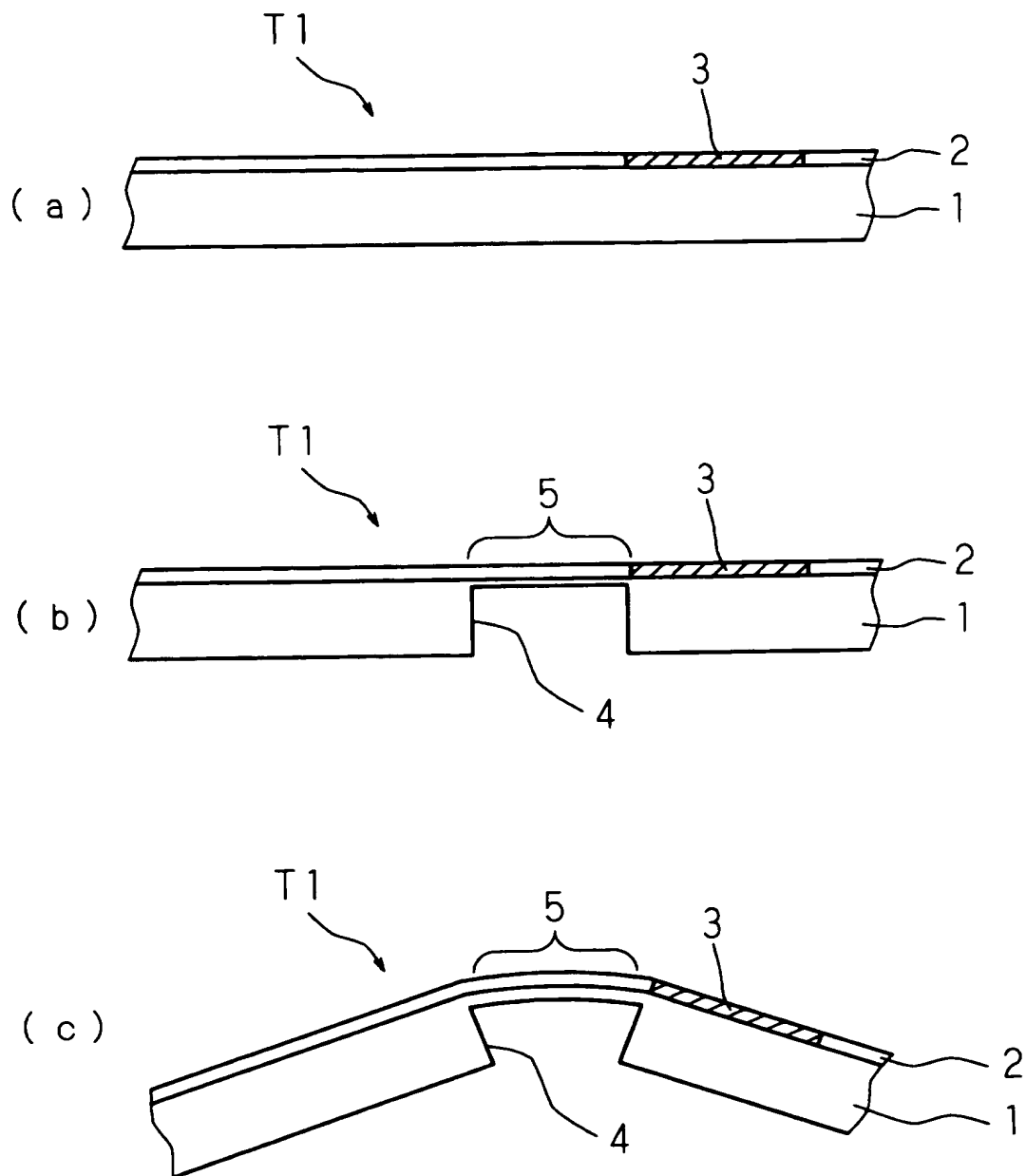
T 1、T 2、T 3、T 4、T 5、T 6、T 7、T 8、T 9、T 1 0、T 1 1、

T 1 2 半導体チップ

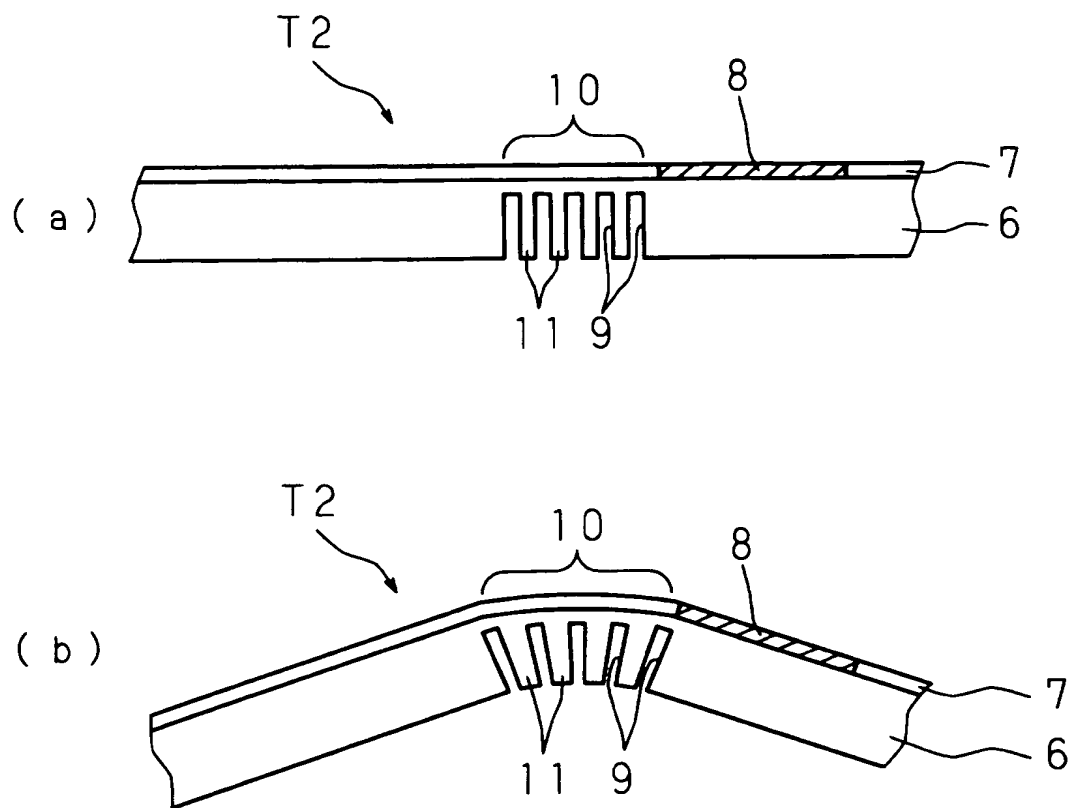
M 半導体モジュール

【書類名】 図面

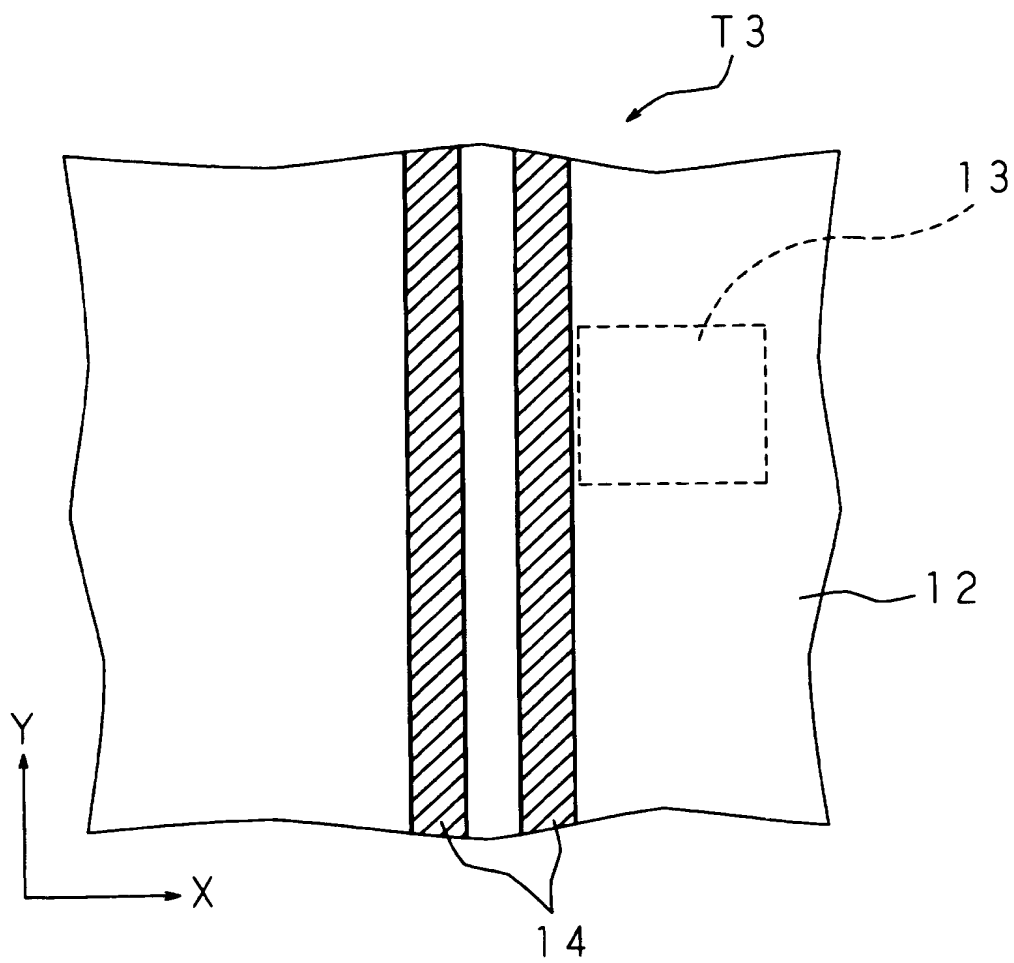
【図 1】



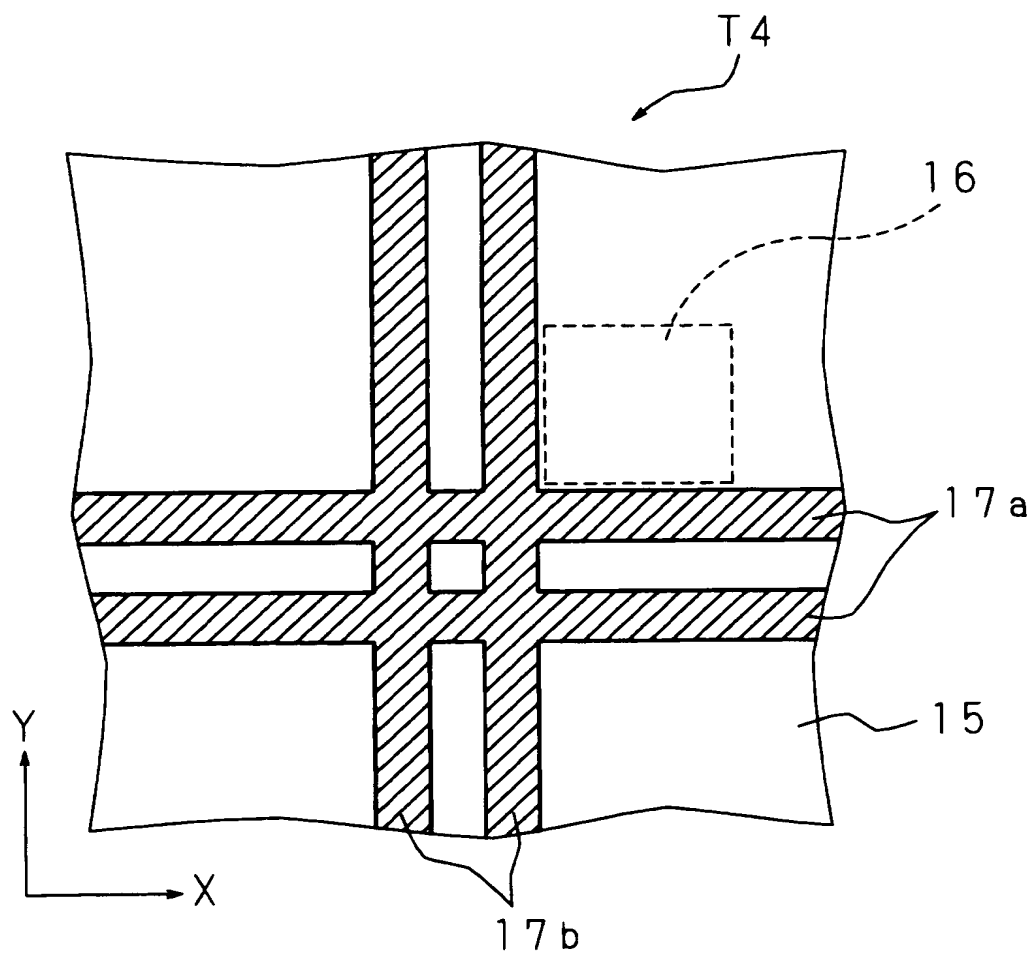
【図 2】



【図 3】

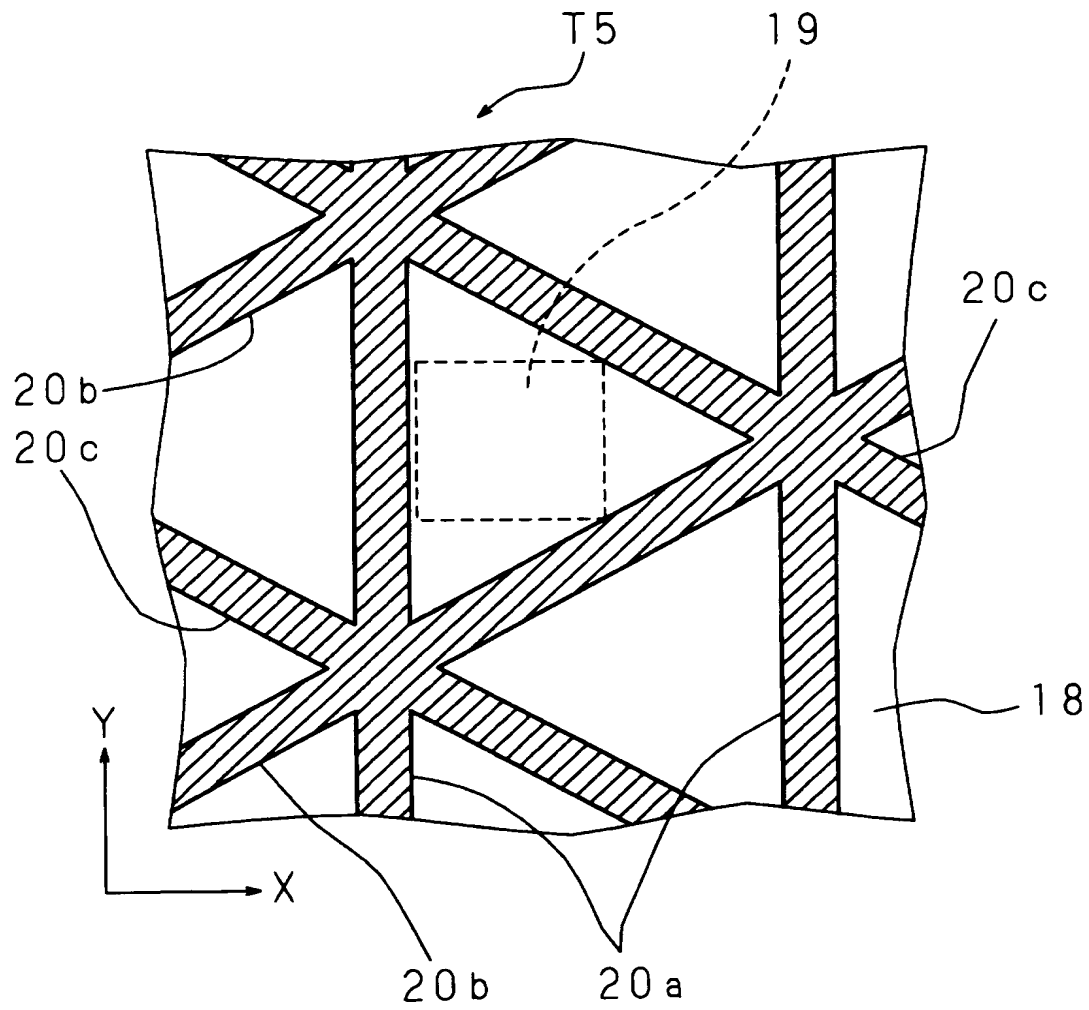


【図 4】

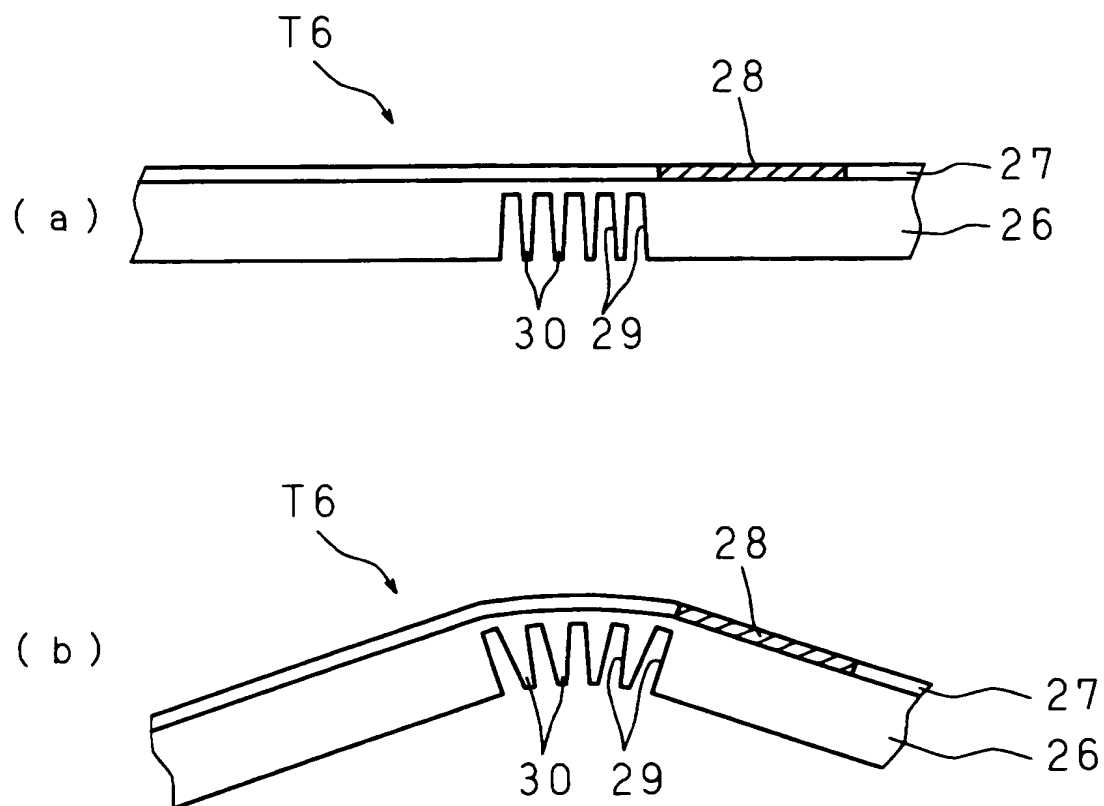




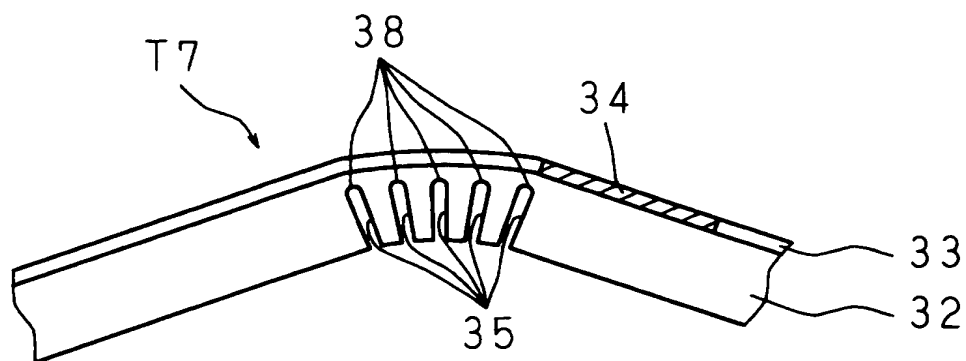
【図 5】



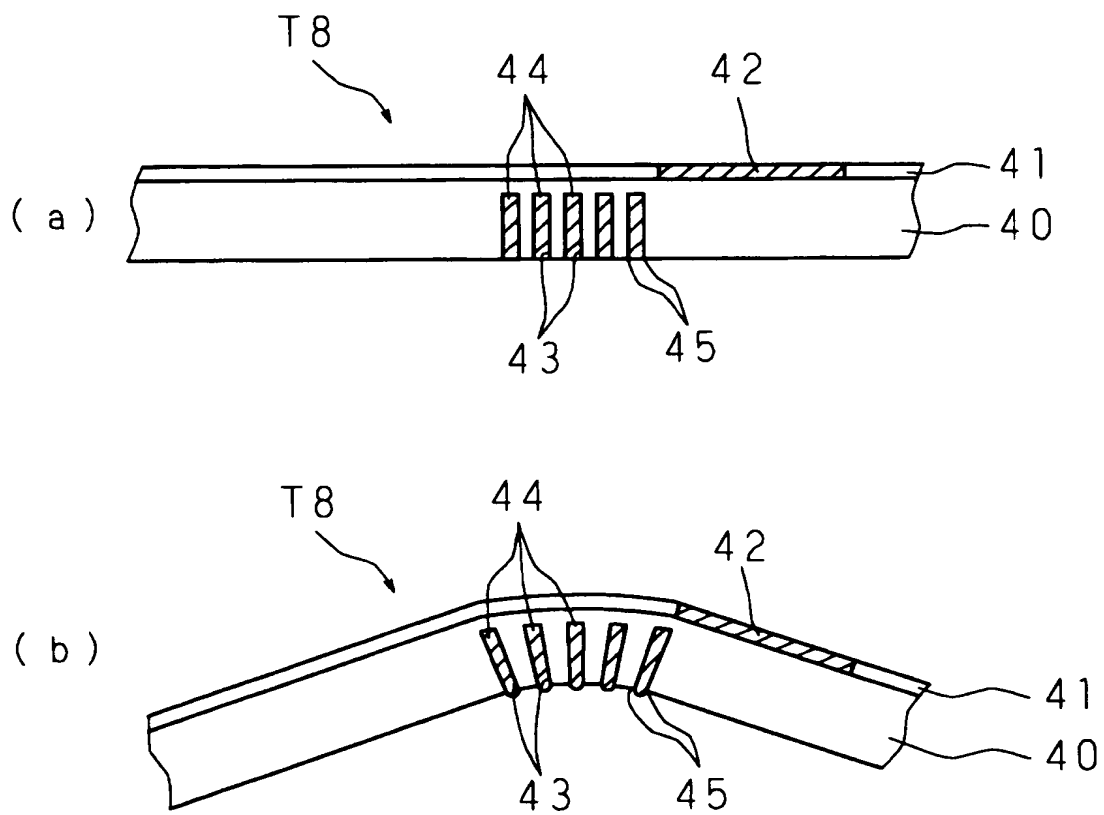
【図 6】



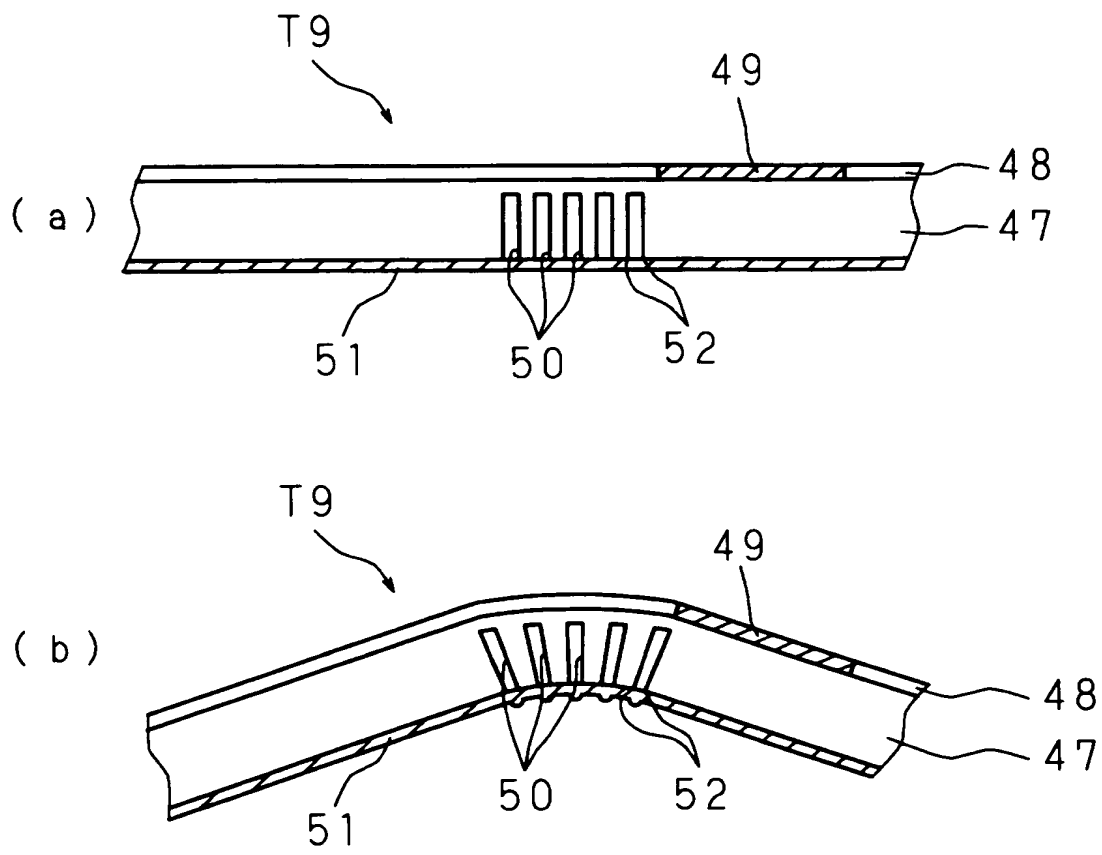
【図 7】



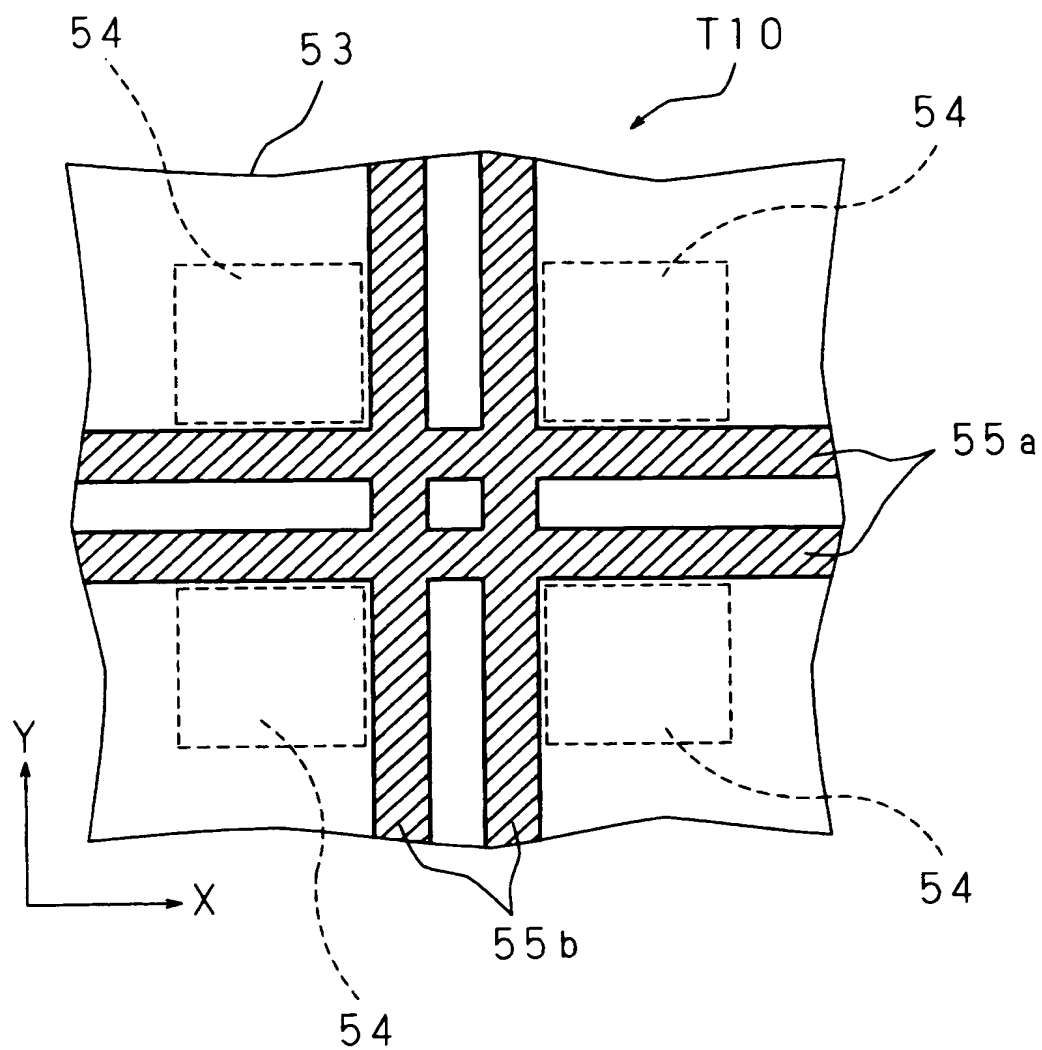
【図 8】



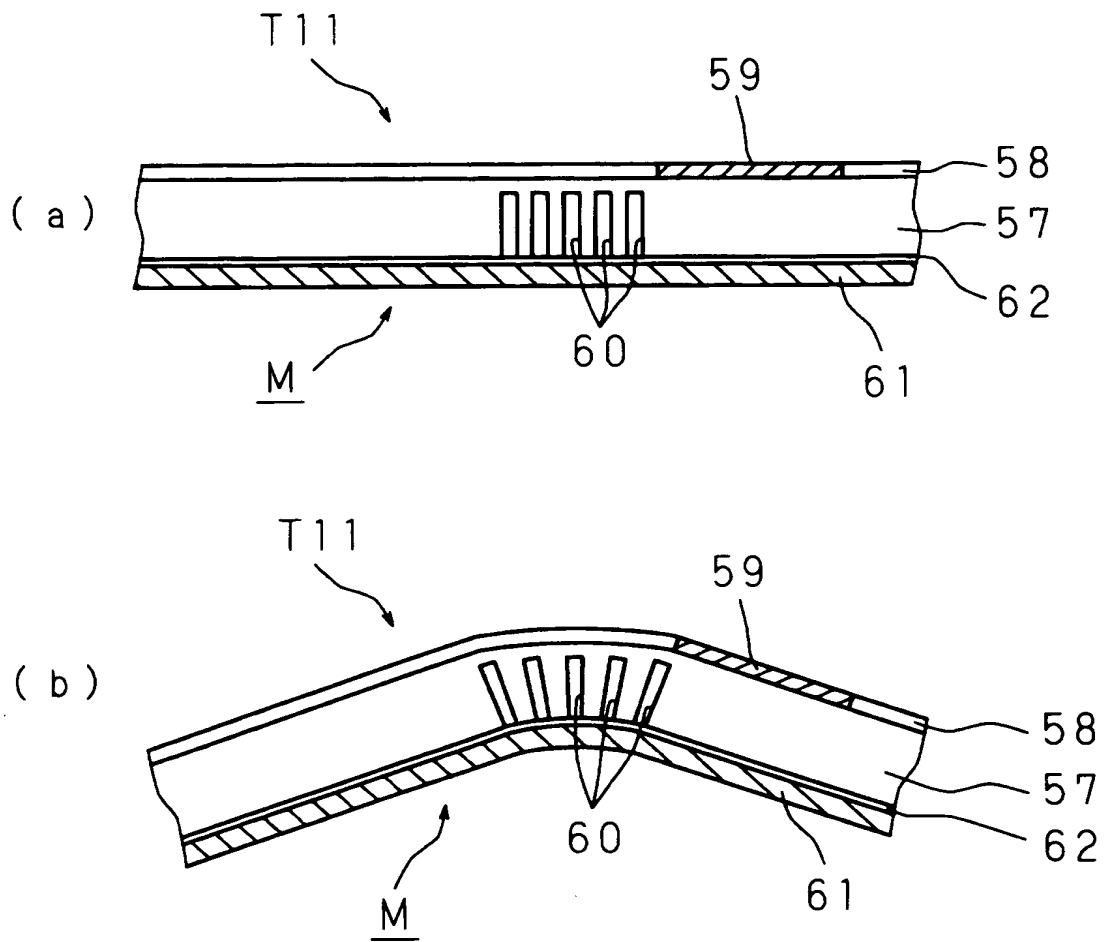
【図 9】



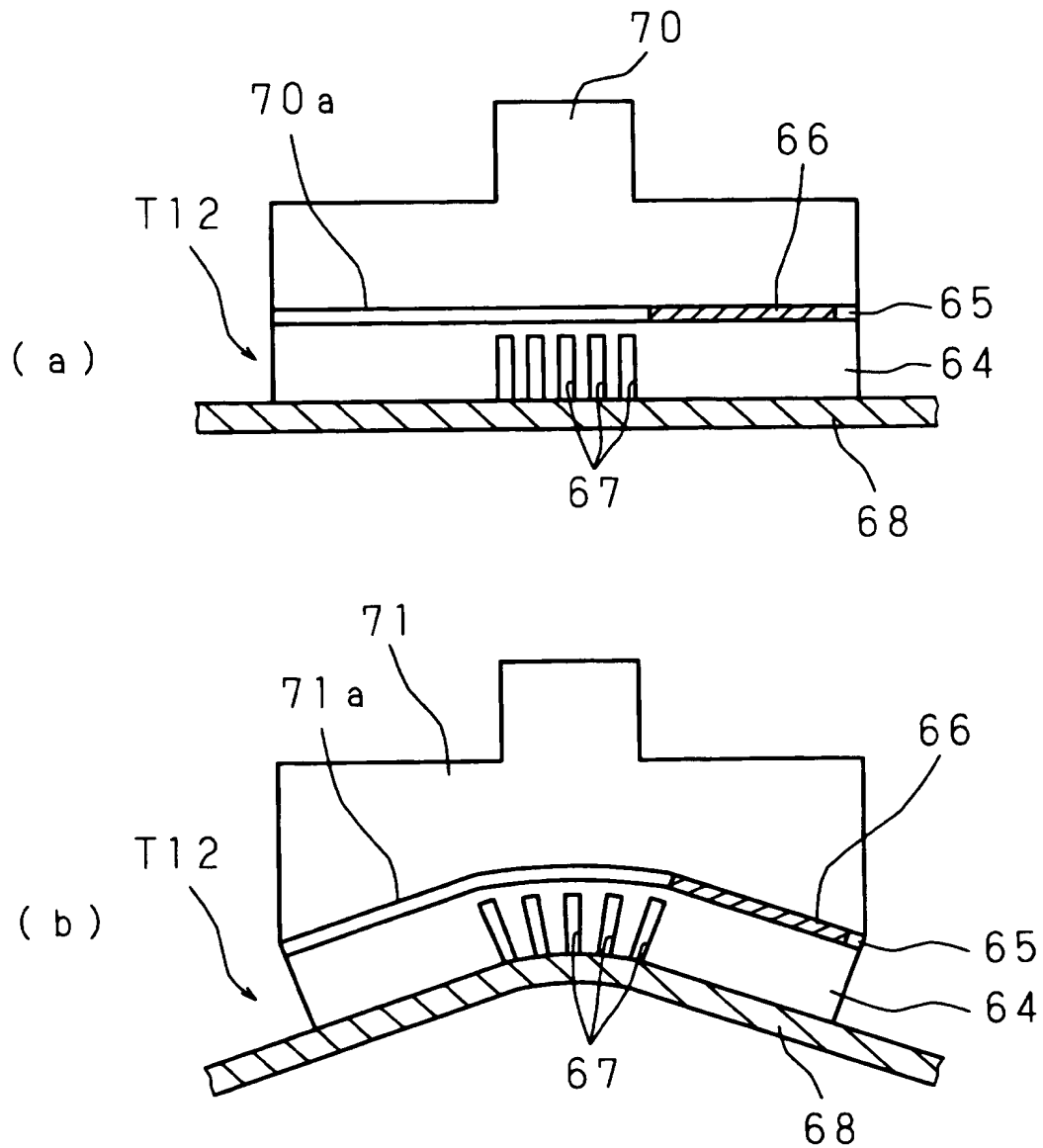
【図 10】



【図 11】



【図 12】

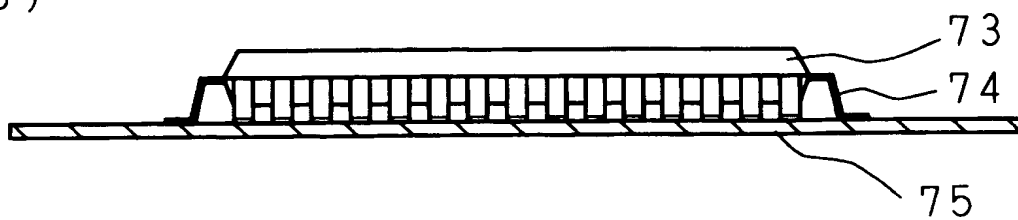


【図 13】

( a )

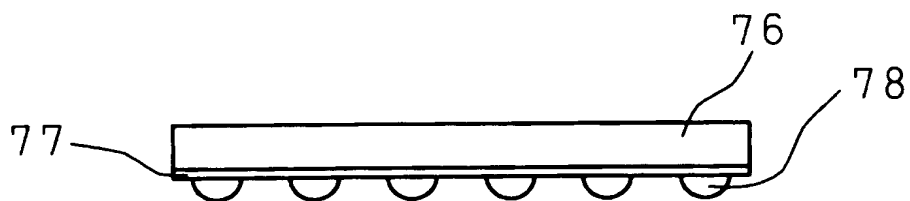


( b )

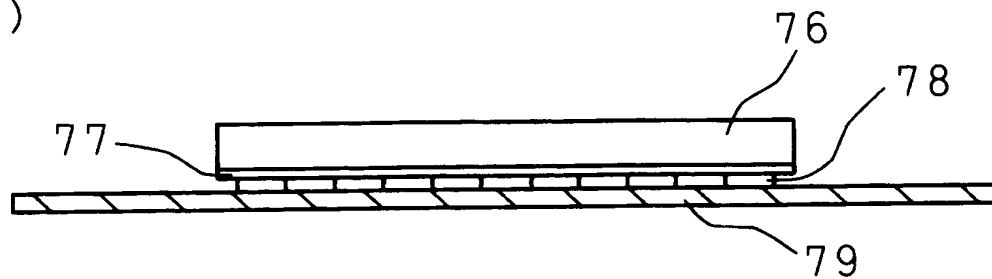


【図 14】

( a )



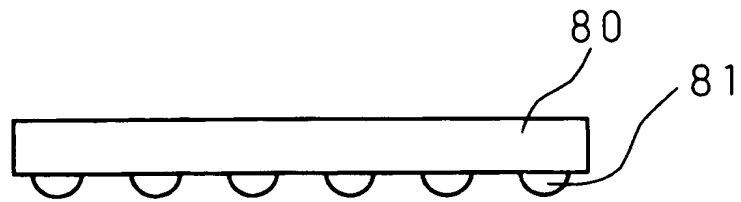
( b )



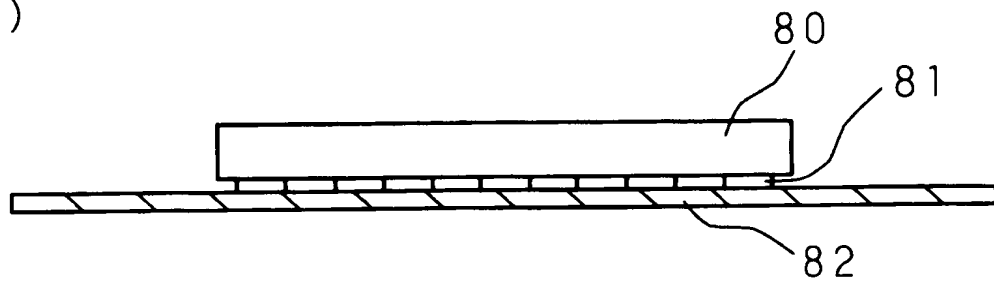


【図 15】

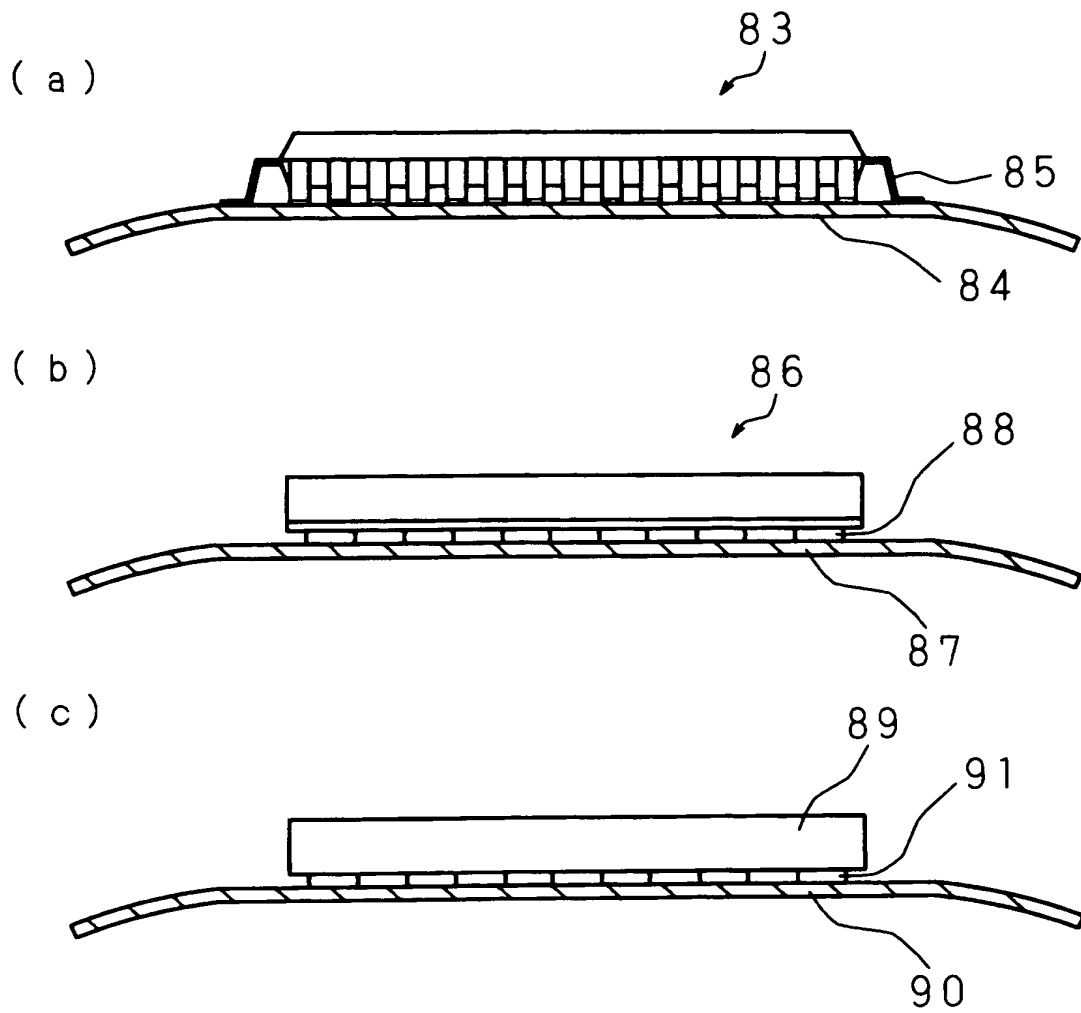
( a )



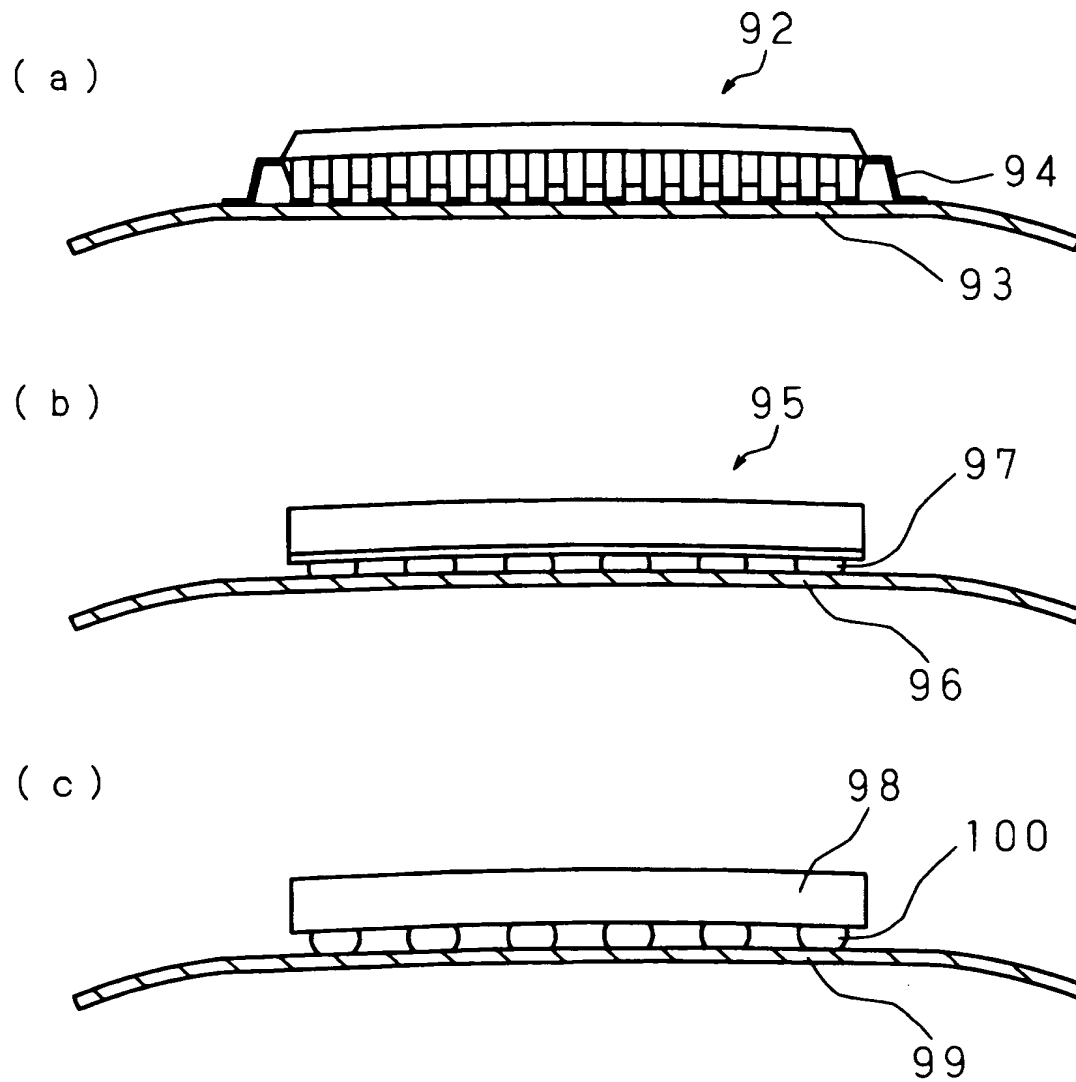
( b )



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 曲げストレスが加えられた場合であってもその形状をフレキシブルに対応させることが可能な半導体装置、半導体モジュール、半導体装置の製造方法、及び、半導体モジュールの製造方法を提供する。

【解決手段】 半導体素子が形成された素子形成領域 3 を有する素子形成層 2 が表面に設けられたシリコン基板 1 において、そのシリコン基板 1 の裏面における、素子形成層 2 の半導体素子が形成されない領域に対応する部分に、シリコン基板 1 の厚さの範囲内で溝 4 を形成する。

【選択図】 図 1

特願 2 0 0 2 - 3 0 0 9 5 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名 シャープ株式会社